

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-016275
(43)Date of publication of application : 23.01.1988

(51)Int.Cl.

G01R 31/28
G06F 11/22

(21)Application number : 61-161102

(71)Applicant : NEC CORP

(22)Date of filing : 08.07.1986

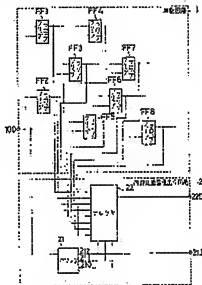
(72)Inventor : KANO ATSUSHI

(54) INTEGRATED CIRCUIT WITH INTERNAL STATE MONITORING OUTPUT CIRCUIT

(57)Abstract:

PURPOSE: To monitor an internal state and to facilitate the check defected analysis of operation by selecting and outputting states of flip-flops in an integrated circuit successively.

CONSTITUTION: The integrated circuit which uses a constant-period clock has a counter which counts a clock, a selector 22 which selects flip-flops FF1WFF8 in the integrated circuit, and an output terminal 213 for the most significant digit bit of the counter 21. Then, the respective outputs 210W212 of the counter 21 are inputted to the selector 22 and the states of the flip-flops FF1WFF8 are selected with those outputs 210W212 and outputted from the output terminal 220. The output 212 of the most significant digit bit of the counter 21 is outputted from an output terminal 213 and which flip-flop is selected is known by checking the clock and the output terminal 213 of the counter 21.



⑩ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭63-16275

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)1月23日

G 01 F 31/28
G 06 F 11/22

3 6 0

F-7807-2G
R-7368-5B

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 内部状態監視出力回路付集積回路

⑯ 特 願 昭61-161102

⑰ 出 願 昭61(1986)7月8日

⑱ 発 明 者 加 納 淳 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

内部状態監視出力回路付集積回路

2. 特許請求の範囲

一定の周期のクロックを用いる集積回路において、

前記クロックをカウントするカウンタと、カウンタの値により集積回路の内部のフリップフロップの出力を選択するセレクトと、セレクト出力端子と、カウンタの最上位ビットの出力端子とを有することを特徴とする内部状態監視出力回路付集積回路、

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、一定の周期のクロックを用いる集積回路に関する。

(従来の技術)

従来、この種の集積回路では、機能に必要なだけの出力しかなかった。

(発明が解決しようとする問題点)

上述した従来の集積回路は、機能に必要なだけの出力しかなかったので、せりからの原因で動作が異常になった場合でも内部の状態がわからず、その原因を究明するのが困難であるという欠点がある。

(問題点を解決するための手段)

本発明の集積回路は、クロックをカウントするカウンタと、カウンタの値により集積回路の内部のフリップフロップの出力を選択するセレクトと、セレクト出力端子と、カウンタの最上位ビットの出力端子とを有することを特徴とする。

セレクト出力端子からは各フリップフロップの状態が順次、出力される。セレクト出力端子から現在、出力されているのがどのフリップフロップか、クロックとカウンタの最上位ビットの出力端子を見ることにより知ることができる。これは、監視するフリップフロップの数が増えてカウンタのビット数が増えても内部状態監視出力回路の出力端子の数も増えなくようにするためである。

特開昭 63-16275 (2)

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の集積回路の一実施例のブロック図、第2図はそのタイムチャートである。

破断回路1は集積回路の機能を實現するための回路で、一定の周期のクロックを入力するクロック入力端子100を有し、フリップフロップFF1、FF2、…、FF8で構成されている。内部状態監視出力回路2は集積回路の内部状態を監視する回路で、前記クロックをカウントする3ビットのバイナリカウンタ21と、バイナリカウンタ21のバイナリ出力210、211、212によって8個のフリップフロップFF1～FF8の出力をセレクトするセレクト22と、カウンタ21の最上位ビット212の出力端子213と、セレクト22の出力端子220で構成されている。

クロック入力端子100より入力したクロックはカウンタ21でカウントされ、カウンタ21の各出力210、211、212は第2図のように変化する。セレクト

22のセレクト入力に入力する。破断回路1内部のフリップフロップFF1～FF8の状態はこれら出力210、211、212によって第2図のようにセレクトされ、出力端子220から集積回路外部に出力される。

一方、カウンタ21の最上位ビットの出力212も出力端子213から集積回路外部に出力されており、どのフリップフロップがセレクトされているかは、クロックおよびカウンタ21の出力端子213を見ることによって知ることができる。これにより、集積回路内部の各フリップフロップFF1～FF8の状態を監視することができる。

本実施例ではフリップフロップが8個の場合であるが、フリップフロップの数が任意の数に増減してもカウンタのビット数を2ⁿ進法を模倣するようにすれば實現できる。

〔発明の効果〕

以上説明したように本発明は、集積回路内部のフリップフロップの状態を順次出力することに

より、内部の状態を監視することができ、動作のチェック不良解析が容易になるという効果がある。

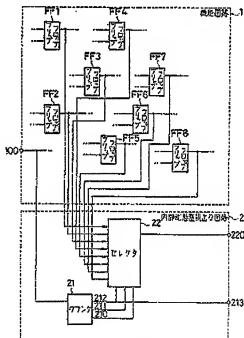
4. 図面の簡単な説明

第1図は本発明の集積回路の一実施例のブロック図、第2図は第1図の実施例のタイミングチャートである。

- 1…破断回路、
- 2…内部状態監視出力回路、
- FF1～FF8…フリップフロップ、
- 21…カウンタ、
- 22…セレクト、
- 100…クロック入力端子、
- 220…セレクト出力端子、
- 210、211、212…カウンタ21の出力、
- 213…カウンタ21の最上位ビットの出力端子。

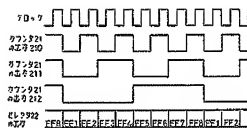
特許出願人 日本電気株式会社

代理人 井原士 内 原 啓



第 1 図

特開昭 63-16275 (3)



第 2 図